

厦门国科安芯科技有限公司

AST8326S 数据手册

400KSPS 16 位模数转换器

目录

1 简介	1
1.1 主要特性	1
1.2 概述	1
1.3 产品系列	2
1.4 应用场景	2
1.5 功能框图	2
1.6 封装信息	3
2 特征值	4
2.1 绝对最大额定值	4
2.2 正常工作条件	4
2.3 ESD 等级	4
2.4 电气特性: $V_{DD}=+5V$ ($V_{REF}=+5V$)	5
2.5 电气特性: $V_{DD}=+5V$ ($V_{REF}=+2.5V$)	7
2.6 电气特性: $V_{DD}=+2.7V$ ($V_{REF}=+2.5V$)	9
2.7 时间特性:	11
2.8 典型特征: $V_{DD}=+5V$	13
2.9 典型特征: $V_{DD}=+2.7V$	17
3 引脚	21
4 详细描述	22
4.1 概述	22
4.2 模拟输入	22
4.3 参考输入	24
4.4 噪声	25
4.5 信号强度	25
5 数字接口	25
5.1 串行接口	25
5.2 数据格式	26

6 功率耗散.....	26
7 应用与实施.....	27
8 卷带信息.....	28
9 修订历史.....	29

1 简介

1.1 主要特性

16 位无缺失码 (REF=2.5V)

超低噪声(REF=2.5V):33 μ Vrms

优异的线性度(REF=2.5V):

± 1.5 LSB typ INL

± 0.8 LSB typ DNL

± 0.5 mV typ Offset

± 3 LSB typ Gain Error

微功率:

12.5mW at 5V, 400KSPS

4.86mW at 2.7V, 300KSPS

1.62mW at 2.7V, 100KSPS

162 μ W at 2.7V, 10KSPS

SEU ≥ 37 MeV.cm²/mg 或 10^{-5} 次/器件天 (商业航天级)

SEL ≥ 37 MeV.cm²/mg (商业航天级)

TID ≥ 100 krad (Si) (商业航天级)

封装: MSOP8

1.2 概述

AST8326S 是一款 16 位模数转换器(A/D), 工作电压范围为 2.7V 至 5.5V。即使在全数据速率下运行, 其功耗也极低。在较低的数据速率下, 该器件的高速特性使其大部分时间处于掉电模式。例如, 其平均功耗小于 162 μ W。数据速率为 10kHz。

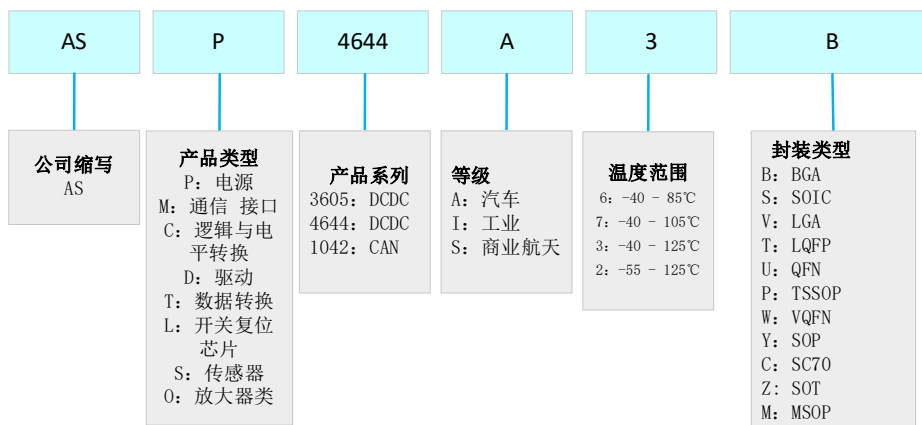
AST8326S 具有出色的线性度、极低的噪声和失真。它还具有同步串行 (兼容 SPI/SSI) 接口和伪差分输入。参考电压可设置为 0.1V 至 V_{DD} 范围内的任意值。

AST8326S 具有低功耗和小尺寸的特点, 是便携式和电池供电系统的理想选择。它也完美适用于远程数据采集模块、同步多通道系统和隔离式数据采集。AST8326S 采用 MSOP8 封装。

1.3 产品系列

型号	等级	温度范围	特征
AST8326S2M	商业航天级	-55to125°C	抗辐照设计

芯片命名规则



1.4 应用场景

商业航天
核电站
机器人

1.5 功能框图

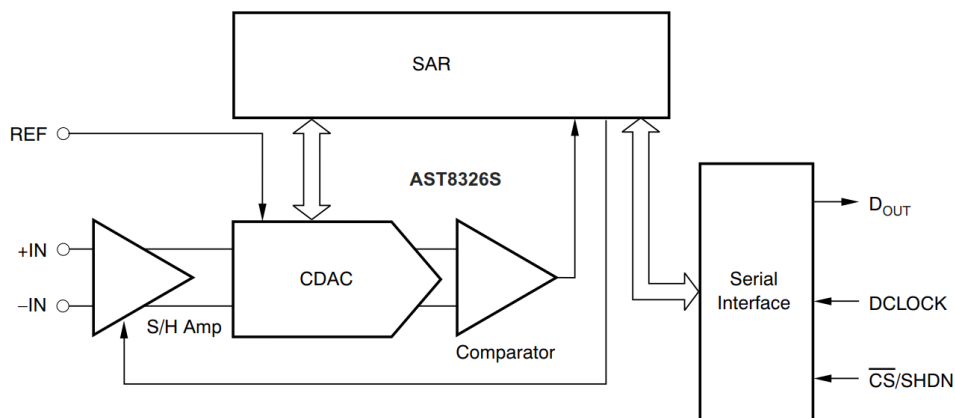
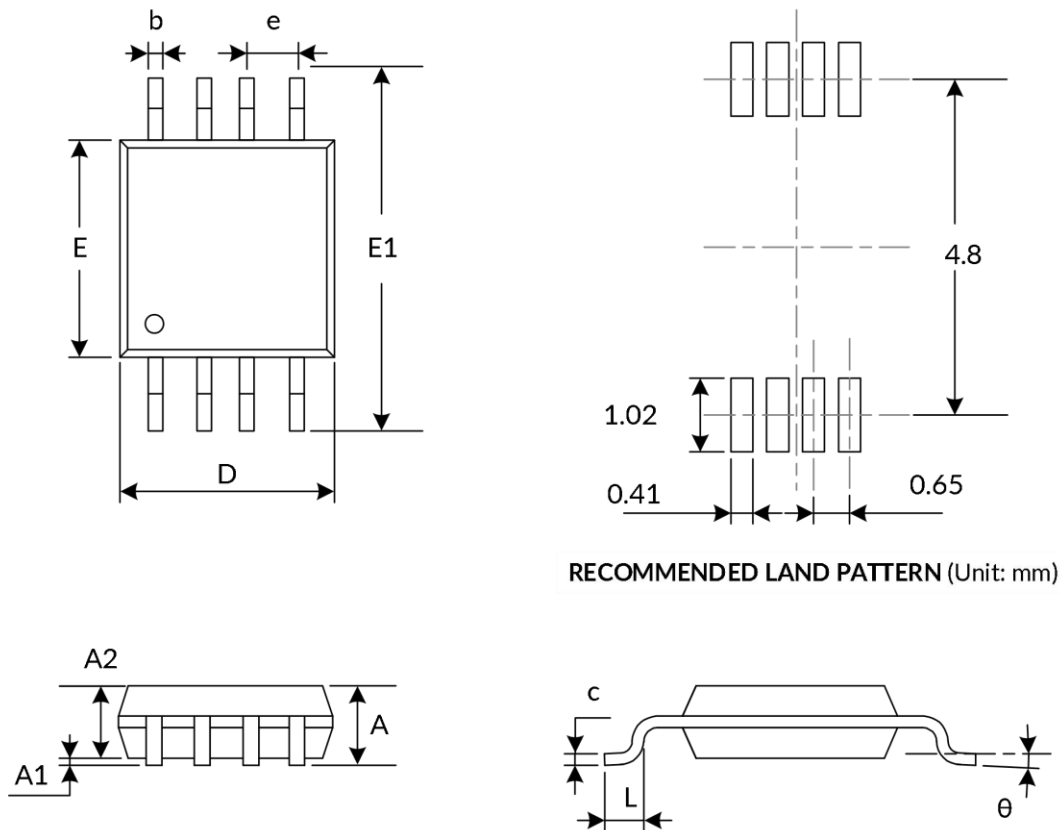


图 1 功能框图

1.6 封装信息

MSOP8



RECOMMENDED LAND PATTERN (Unit: mm)

代码	尺寸（毫米）		尺寸（英寸）	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.820	1.100	0.032	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.250	0.380	0.010	0.015
c	0.090	0.230	0.004	0.009
D ⁽¹⁾	2.900	3.100	0.114	0.122
e	0.650(BSC) ⁽²⁾		0.026(BSC) ⁽²⁾	
E ⁽¹⁾	2.900	3.100	0.114	0.122
E1	4.750	5.050	0.187	0.199
L	0.400	0.800	0.016	0.031
θ	0°	6°	0°	6°

备注 1: 每边最大凸起部分（0.15mm）的塑料或金属凸起部分不包含在内。

备注 2: BSC（中心基本间距），“基本”间距是标称间距。

2 特征值

2.1 绝对最大额定值

在正常工作自由空气温度范围内（除非另有说明）⁽¹⁾

			最小值	最大值	单位
供电电压 $V_{DD}^{(2)}$			-0.3	6.5	V
任意模拟引脚上的电压接地 ⁽²⁾			-0.3	$V_{DD}+0.3$	V
任意数字引脚上的电压接地 ⁽²⁾			-0.3	$V_{DD}+0.3$	V
REF 引脚对地电压 ⁽²⁾			-0.3	$V_{DD}+0.2$	V
任意引脚（电源引脚除外）的输入电流				± 10	mA
θ_{JA}	封装热阻抗 ⁽³⁾	MSOP8		206	°C/W
焊接温度，红外线（10 秒）				215	°C
工作温度， T_A			-55	125	°C
储存温度 T_{sig}			-65	150	°C

备注 1：超过这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大应力条件下可能会降低设备的可靠性。这些仅为应力额定值，并不意味着设备在这些或任何其他超出规定条件的情况下都能正常工作。

备注 2：模拟输入端通过二极管钳位至电源轨。输入信号如果超出电源轨 0.3V 以上，则应将电流限制在 10mA 或以下。

备注 3：封装热阻抗按照 JEDEC-51 计算。

2.2 正常工作条件

在正常工作空气温度范围内（除非另有说明）

参数		最小值	典型值	最大值	单位
V_{DD}	供应电压	2.7		5.5	V
REF	参考输入电压	0.1		V_{DD}	
+IN/-IN	-IN to GND	-0.3	0	0.5	
	+IN to GND	-0.3		$V_{DD}+0.2$	
	+IN - (-IN)	0		V_{REF}	
T_A	操作温度	-55		125	°C

2.3 ESD 等级

以下静电放电信息仅适用于在静电放电防护区域内处理静电放电敏感器件。

			数值	单位
$V_{(ESD)}$	静电放电	人体模型(HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2000	V
		充电器件模型(CDM), 符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	± 1500	

备注 1: JEDEC 文件 JEP155 指出, 500V HBM 允许采用标准 ESD 控制流程进行安全制造。

备注 2: JEDEC 文件 JEP157 指出, 250V CDM 允许采用标准 ESD 控制流程进行安全制造。



静电放电敏感性警告

静电放电损伤的程度不一, 从轻微的性能下降到器件完全失效都有可能。精密集成电路可能更容易受到损伤, 因为即使是很小的参数变化也可能导致器件无法达到其公布的规格。

2.4 电气特性: $V_{DD}=+5V$ ($V_{REF}=+5V$)

在 $-55^{\circ}C$ 至 $+125^{\circ}C$ 范围内, $V_{REF}=+5V$, $-IN=GND$, $F_S=400kHz$, $f_{DCLOCK}=24 \times F_S$, 除非另有说明, 典型值均在 $T_A=25^{\circ}C$ 下测得。⁽¹⁾⁽²⁾

范围		状况	最小值	典型值	最大值	单位
VDD			V _{REF} -0.2		5.5	V
静态转换器特性						
NMC	无缺失码		15			Bits
INL	积分非线性		-3	±1.5	+3	LSB
DNL	微分非线性		-1	-0.9/1.5	+3	LSB
V _{OS}	偏移误差			±0.5		mV
TCV _{OS}	偏移误差漂移			±0.5		ppm/°C
GE	增益误差			±2		LSB
TCGE	增益误差漂移			±1		ppm/°C
TUE	总未调整误差			±5		LSB
	噪 音			45		μVrms
				5		LSB _{pp}
动态转换器特征 ⁽³⁾						
ENOB	有效位数	f _{IN} =2kHz		14.66		Bits
		f _{IN} =10kHz		14.49		Bits
SINAD	信噪比	f _{IN} =2kHz		90		dB
		f _{IN} =10kHz		89		dB
SNR	信噪比	f _{IN} =2kHz		90.5		dB
		f _{IN} =10kHz		90		dB
THD	全谐波失真	f _{IN} =2kHz		-100		dB
		f _{IN} =10kHz		-95		dB
SFDR	无杂散动态范围	f _{IN} =2kHz		101		dB

		$f_{IN}=10\text{kHz}$		98		dB
FPBW	60dB SINAD 带宽	5V supply		700		kHz
PSRR	电源抑制比	$4.75\text{V}\leq\text{VDD}\leq5.25\text{V}$		0.6		LSB/V
模拟输入特征						
FSR	满量程范围	+IN – (-IN)	0		V_{REF}	V
	共模信号	-IN	-0.3		0.5	V
C_{IN}	输入电容	IN=GND(采样期间)		48		pF
I_{IL}	输入漏电流	CS/SHDN= V_{DD} , SCLK 关闭		±0.1		μA
参考输入特性						
V_{REF}	参考电压		0.1		V_{DD}	V
C_{REF}	参考输入电容			48		pF
I_{REF}	参考输入电流	$F_S=400\text{KSPS}$		200		μA
		$F_S=300\text{KSPS}$		150		μA
		$F_S=250\text{KSPS}$		125		μA
		$F_S=200\text{KSPS}$		100		μA
		$F_S=100\text{KSPS}$		50		μA
		$F_S=10\text{KSPS}$		5		μA
		$\overline{\text{CS}}/\text{SHDN}=\text{VDD}$		±1		μA
动态采样特征						
t_{CONV}	转换时间	$24\text{kHz}\leq f_{DCLOCK}\leq9.6\text{MHz}$	16			T_{DCLOCK}
t_{AQ}	采样时间		4.5	5		T_{DCLOCK}
F_S	吞吐量	$24\text{kHz}\leq f_{DCLOCK}\leq9.6\text{MHz}$			400	KSPS
f_{DCLOCK}	时钟频率		0.024		9.6	MHz
电源特征						
I_{VDD}	工作电源电流	$f_{DCLOCK}=9.6\text{MHz}, F_S=400\text{KSPS}$		2.5	3	mA
		$f_{DCLOCK}=9.6\text{MHz}, F_S=300\text{KSPS}$		1.8		mA
		$f_{DCLOCK}=9.6\text{MHz}, F_S=200\text{KSPS}$		1.2		mA
	断电供电电流	$\overline{\text{CS}}/\text{SHDN}=\text{VDD}$, SCLK 关闭		0.1		μA
P_{VDD}	运行功耗	$f_{DCLOCK}=9.6\text{MHz}, F_S=400\text{KSPS}$		12.5	15	mW
		$f_{DCLOCK}=9.6\text{MHz}, F_S=300\text{KSPS}$		9		mW
		$f_{DCLOCK}=9.6\text{MHz}, F_S=200\text{KSPS}$		6		mW
	断电过程中的功率损耗	$\overline{\text{CS}}/\text{SHDN}=\text{VDD}$, SCLK 关闭		0.5		μW
数字输入特性						
	逻辑系列		CMOS			
V_{IH}	输入高电压		$0.7V_{DD}$		$V_{DD}+0.3$	V
V_{IL}	输入低电压		-0.3		$0.3V_{DD}$	V
C_{IN}	输入电容			5		pF
I_{IN}	输入电流			±0.1		μA
数字输出特性						
	逻辑系列		CMOS			

	数据格式		Straight binary			
V_{OH}		$I_{OH}=-100\mu A$	$V_{DD}-0.3$			V
V_{OL}		$I_{OL}=100\mu A$			0.3	V
I_{OZ}	高阻抗状态输出电流	$\overline{CS}/SHDN=V_{DD}, V_I=V_{DD} \text{ or } GND$		± 0.1		μA
C_O	输出电容			5		pF
C_L	负载电容				30	pF

备注 1: 据表的最小和最大规格限值通过设计、测试或统计分析来保证。

备注 2: 适用于 5.0V 标称电源: V_{DD} (最小值) = 4.5V 和 V_{DD} (最大值) = 5.5V。

备注 3: dBFS 下进行测试。

2.5 电气特性: $V_{DD}=+5V$ ($V_{REF}=+2.5V$)

在 -55°C 至 +125°C 范围内, $V_{REF}=+2.5V$, $-IN=GND$, $F_S=400kHz$, $f_{DCLOCK}=24 \times F_S$, 除非另有说明, 典型值均在 $T_A=25^\circ C$ 下测得。⁽¹⁾⁽²⁾

范围		状况	最小值	典型值	最大值	单位
VDD			4.5		5.5	V
静态转换器特性						
NMC	无缺失码分辨率		16			Bits
INL	积分非线性		-2	±1	+2	LSB
DNL	微分非线性		-0.99	±0.8	+2	LSB
V _{OS}	偏移误差		-1	±0.5	+1	mV
TCV _{OS}	偏移误差漂移			±0.65		ppm/°C
GE	增益误差		-24	±3	+24	LSB
TCGE	增益误差漂移			±1.3		ppm/°C
TUE	总未调整误差			±8		LSB
	噪 音			35		μVrms
				7		LSB _{pp}
动态转换器特征 ⁽³⁾						
ENOB	有效位数	f _{IN} =2kHz	13.5	14.1		Bits
		f _{IN} =10kHz		14.05		Bits
SINAD	信噪比	f _{IN} =2kHz	83	87		dB
		f _{IN} =10kHz		86.5		dB
SNR	信噪比	f _{IN} =2kHz	84	87		dB
		f _{IN} =10kHz		87		dB
THD	全谐波失真	f _{IN} =2kHz		-100	-94	dB
		f _{IN} =10kHz		-97		dB
SFDR	无杂散动态范围	f _{IN} =2kHz	95	103		dB
		f _{IN} =10kHz		101		dB

FPBW	60dB SINAD 带宽	5V supply		700		kHz
PSRR	电源抑制比	4.75V≤VDD≤5.25V		1.6		LSB/V
模拟输入特征						
FSR	满量程范围	+IN – (-IN)	0		VREF	V
	共模信号	-IN	-0.3		0.5	V
CIN	输入电容	-IN=GND(采样期间)		48		pF
IL	输入漏电流	C̄S/SHDN=VDD，SCLK 关闭	-1	±0.1	+1	μA
参考输入特性						
VREF	参考电压		0.1		VDD	V
CREF	参考输入电容			48		pF
IREF	参考输入电流	FS=400KSPS		96		μA
		FS=300KSPS		72		μA
		FS=250KSPS		60		μA
		FS=200KSPS		48		μA
		FS=100KSPS		24		μA
		FS=10KSPS		2.4		μA
		C̄S/SHDN=VDD	-5	±1	+5	μA
动态采样特征						
tCONV	转换时间	24kHz≤fDCLK≤9.6MHz	16			TDCLK
tAQ	采样时间		4.5	5		TDCLK
Fs	吞吐量	24kHz≤fDCLK≤9.6MHz			400	KSPS
fDCLK	时钟频率		0.024		9.6	MHz
电源特征						
IVDD	工作电源电流	fDCLK=9.6MHz,FS=400KSPS		2.5	3	mA
		fDCLK=9.6MHz,FS=200KSPS		1.2		mA
		fDCLK=9.6MHz,FS=100KSPS		0.6		mA
	断电供电电流	C̄S/SHDN=VDD，SCLK 关闭		0.1		μA
PVDD	运行功耗	fDCLK=9.6MHz,FS=400KSPS		12.5	15	mW
		fDCLK=9.6MHz,FS=200KSPS		6		mW
		fDCLK=9.6MHz,FS=100KSPS		3		mW
	断电过程中的功率损耗	C̄S/SHDN=VDD，SCLK 关闭		0.5		uW
数字输入特性						
	逻辑系列		CMOS			
VIH	输入高电压		0.7VDD		VDD+0.3	V
VIL	输入低电压		-0.3		0.3VDD	V
CIN	输入电容			5		pF
IIN	输入电流		-1	±0.1	+1	μA
数字输出特性						
	逻辑系列		CMOS			
	数据格式		直接二进制			

V_{OH}		$I_{OH}=-100\mu A$	$V_{DD}-0.3$			V
V_{OL}		$I_{OL}=100\mu A$			0.3	V
I_{OZ}	高阻抗状态输出电流	$\overline{CS}/SHDN=V_{DD}, V_I=V_{DD} \text{ or } GND$	-1	± 0.1	+1	μA
C_O	输出电容			5		pF
C_L	负载电容				30	pF

备注 1: 据表的最小和最大规格限值通过设计、测试或统计分析来保证。

备注 2: 适用于 5.0V 标称电源: V_{DD} (最小值) = 4.5V 和 V_{DD} (最大值) = 5.5V。

备注 3: dBFs 下进行测试。

2.6 电气特性: $V_{DD}=+2.7V$ ($V_{REF}=+2.5V$)

在 -55°C 至 +125°C 范围内, $V_{REF}=+2.5V$, $-IN=GND$, $F_S=300kHz$, $f_{DCLOCK}=24\times F_S$, 除非另有说明, 典型值均在 $T_A=25^\circ C$ 下测得。(1)(2)

范围		状况	最小值	典型值	最大值	单位
VDD			2.7		3.6	V
静态转换器特性						
NMC	无缺失码		16			Bits
INL	积分非线性		-2.5	±1.5	+2.5	LSB
DNL	微分非线性		-0.99	±0.9	+2.5	LSB
V _{OS}	偏移误差			±0.5		mV
TCV _{OS}	偏移误差漂移			±1		ppm/°C
GE	增益误差			±3		LSB
TCGE	增益误差漂移			±0.4		ppm/°C
TUE	总未调整误差			±10		LSB
	噪 音			33		μV _{rms}
				7		LSB _{pp}
动态转换器特征 ^[3]						
ENOB	有效位数	f _{IN} =2kHz		14.2		Bits
		f _{IN} =10kHz		14.1		Bits
SINAD	信噪比	f _{IN} =2kHz		87		dB
		f _{IN} =10kHz		86		dB
SNR	信噪比	f _{IN} =2kHz		87		dB
		f _{IN} =10kHz		86.5		dB
THD	全谐波失真	f _{IN} =2kHz		-100		dB
		f _{IN} =10kHz		-95		dB
SFDR	无杂散动态范围	f _{IN} =2kHz		101		dB
		f _{IN} =10kHz		96		dB
FPBW	60dB SINAD 带宽	5V supply		700		kHz

PSRR	电源抑制比	2.75≤VDD≤3.6V		1		LSB/V
模拟输入特征						
FSR	满量程范围	+IN – (-IN)	0		VREF	V
	共模信号	-IN	-0.3		0.5	V
CIN	输入电容	IN=GND(采样期间)		48		pF
IIL	输入漏电流	CS/SHDN=VDD， SCLK 关闭		±0.1		μA
参考输入特性						
VREF	参考电压		0.1		VDD	V
CREF	参考输入电容			48		pF
IREF	参考输入电流	FS=300KSPS		72		μA
		FS=250KSPS		60		μA
		FS=100KSPS		24		μA
		FS=10KSPS		2.4		μA
		CS/SHDN=VDD		±1		μA
动态采样特征						
tCONV	转换时间	24kHz≤fDCLOCK≤7.2MHz	16			TDCLOCK
tAQ	采样时间		4.5	5		TDCLOCK
FS	吞吐量	24kHz≤fDCLOCK≤7.2MHz			300	KSPS
fDCLOCK	时钟频率		0.024		7.2	MHz
电源特征						
IVDD	工作电源电流	fDCLOCK=7.2MHz,FS=300KSPS		1.8		mA
		fDCLOCK=7.2MHz,FS=200KSPS		1.2		mA
		fDCLOCK=7.2MHz,FS=100KSPS		0.6		mA
		fDCLOCK=7.2MHz,FS=10KSPS		0.06		mA
	断电供电电流	CS/SHDN=VDD， SCLK 关闭		0.1		μA
PVDD	运行功耗	fDCLOCK=7.2MHz,FS=300KSPS		4.86		mW
		fDCLOCK=7.2MHz,FS=200KSPS		3.24		mW
		fDCLOCK=7.2MHz,FS=100KSPS		1.62		mW
		fDCLOCK=7.2MHz,FS=10KSPS		162		μW
	断电过程中的功率损耗	CS/SHDN=VDD， SCLK 关闭		0.27		μW
数字输入特性						
	逻辑系列		CMOS			
VIH	输入高电压		0.7VDD		VDD+0.3	V
VIL	输入低电压		-0.3		0.3VDD	V
CIN	输入电容			5		pF
IIN	输入电流			±0.1		μA
数字输出特性						
	逻辑系列		CMOS			
	数据格式		直接二进制			
VOH		IOH=-100μA	VDD-0.3			V

V_{OL}		$I_{OL}=100\mu A$			0.3	V
I_{OZ}	高阻抗状态输出电流	$\overline{CS}/SHDN=V_{DD}, V_I=V_{DD} \text{ or } GND$		± 0.1		μA
C_O	输出电容			5		pF
C_L	负载电容				30	pF

备注 1: 据表的最小和最大规格限值通过设计、测试或统计分析来保证。

备注 2: 适用于 2.7V 标称电源: V_{DD} (最小值) = 2.7V, V_{DD} (最大值) = 3.6V。

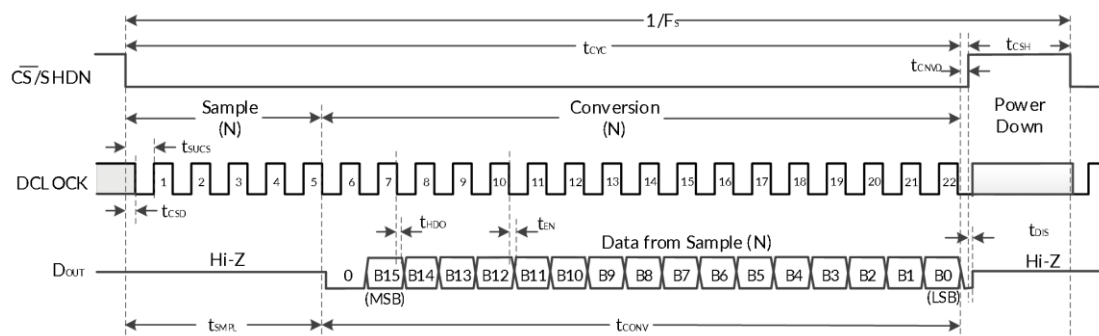
备注 3: dBFS 下进行测试。

2.7 时间特性:

-55°C ≤ T_A ≤ 125°C, $V_{DD}=2.7V$ to 5.5V (除非另有说明) ⁽¹⁾

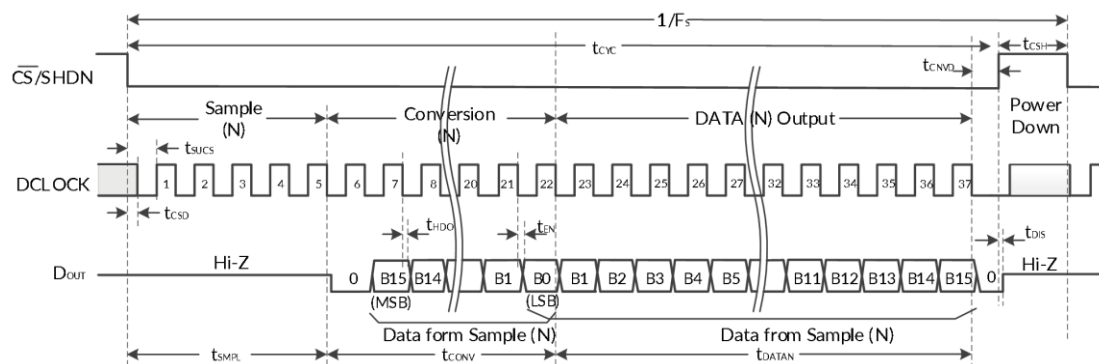
范围		状况	最小值	典型值	最大值	单位
f_{DCLOCK}	直流时钟频率	$V_{DD}=4.5V \text{ to } 5.5V$			9.6	MHz
		$V_{DD}=2.7V \text{ to } 3.6V$			7.2	MHz
F_S	吞吐量	$V_{DD}=4.5V \text{ to } 5.5V$			400	KSPS
		$V_{DD}=2.7V \text{ to } 3.6V$			300	KSPS
t_{SMPL}	模拟输入采样时间		4.5		5	DCLOCKs
t_{CONV}	转换时间		16			DCLOCKs
t_{CYC}	完整周期时间		22			DCLOCKs
t_{CSH}	最小 CS 脉冲宽度		10			ns
t_{CSD}	CS 下降至直流时钟低电平				0	ns
t_{SUCS}	CS 下降至直流时钟上升		20			ns
t_{HDO}	直流时钟下降至当前输出无效			15		ns
t_{DIS}	CS 上升至输出三态				100	ns
t_{EN}	DCLOCK 下降到 D_{OUT} 已启用				50	ns
t_{CNVD}	第 22 次直流时钟下降至 CS 上升		50			ns
t_F	D_{OUT} 下降时间				40	ns
t_R	D_{OUT} 上升时间				40	ns
t_{WH}	直流时钟高电平脉冲持续时间		40			ns
t_{WL}	直流时钟低电平脉冲持续时间		40			ns
t_{AD}	孔径延迟			7.5		ns
t_{AJ}	孔径抖动			30		ns

备注 1: 使用 20pF 负载进行测量。



注意：（1）16 位转换至少需要 2^2 个时钟周期；图中显示的是 2^4 个时钟周期。

如果 $\overline{CS}$ 在转换结束时/SHDN 仍然很低，则从样本(N)移出新的数据流。



注意：（2）数据传输完成后，如果继续施加 $\overline{CS}$ 低的时钟信号，A/D 转换器将重复输出数据(n)。

图 2 AST8326S 串行接口时序图

2.8 典型特征：V_{DD}=+5V

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

T_A=25°C, V_{DD}=+5V, V_{REF}=+5V, F_S=400KSPS, f_{DCLOCK}=9.6MHz, f_{IN}=2.07kHz, P_{IN}=-0.2dBFS（除非另有说明）。

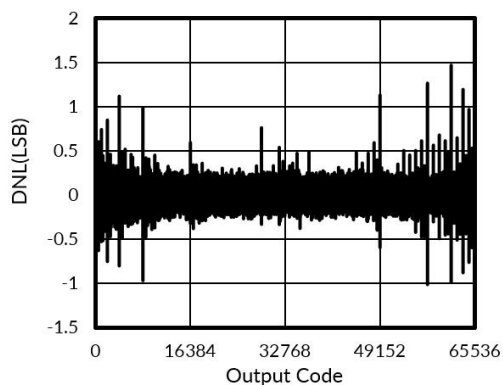


图 3 DNL 与输出代码

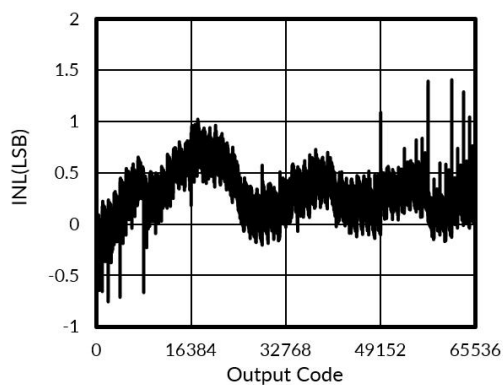


图 4 INL 与输出代码

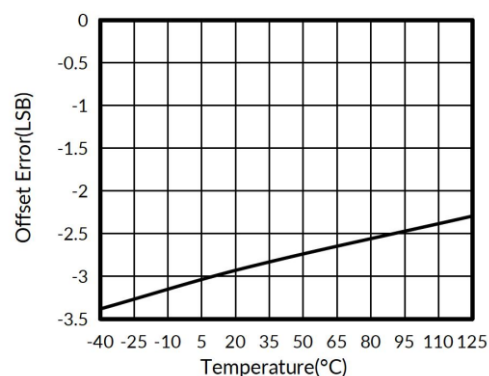


图 5 偏移误差与温度

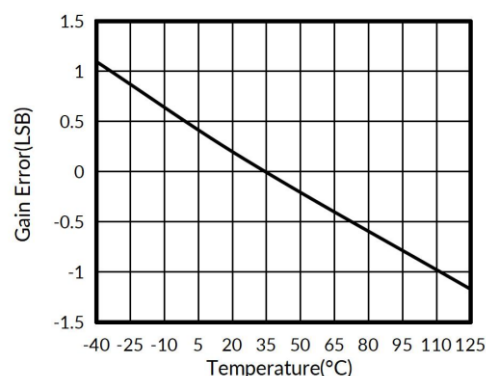


图 6 增益误差与温度的关系

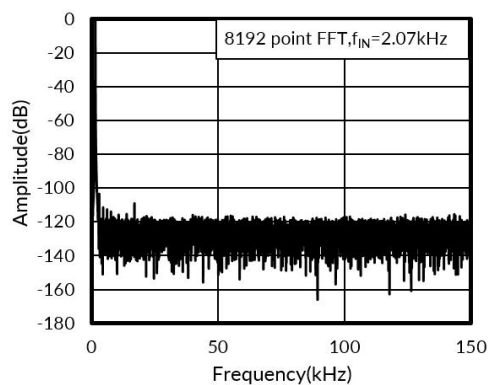


图 7 光谱响应

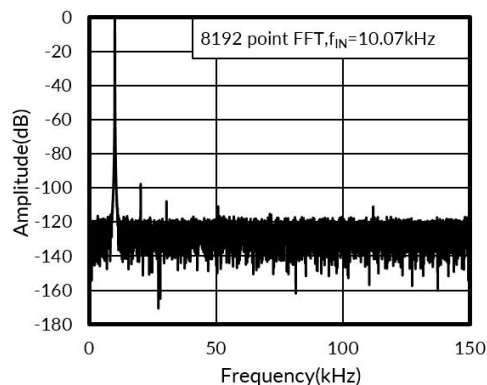


图 8 光谱响应

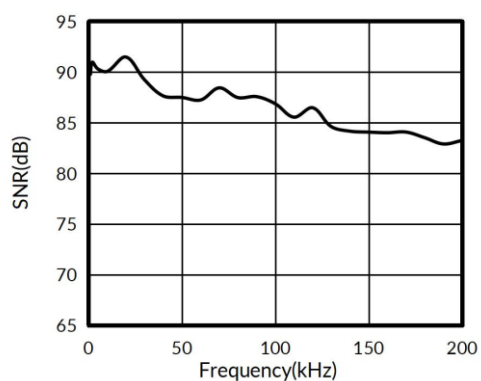


图 9 信噪比与输入频率的关系

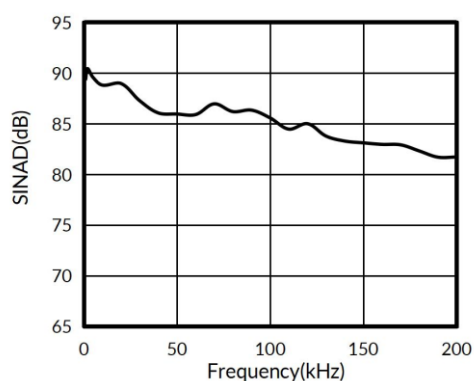


图 10 SINAD 与输入频率的关系

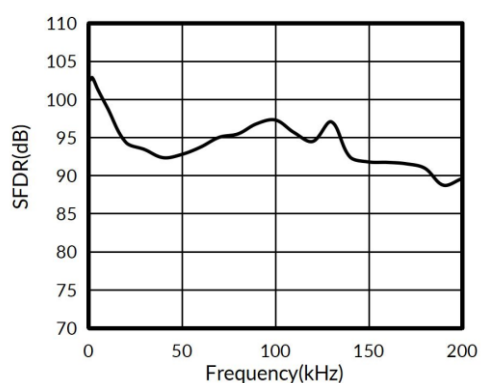


图 11 SFDR 与输入频率的关系

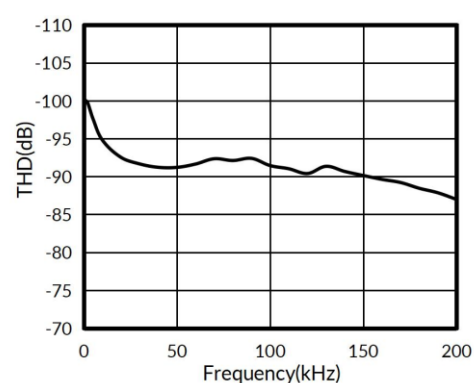


图 12 总谐波失真与输入频率的关系

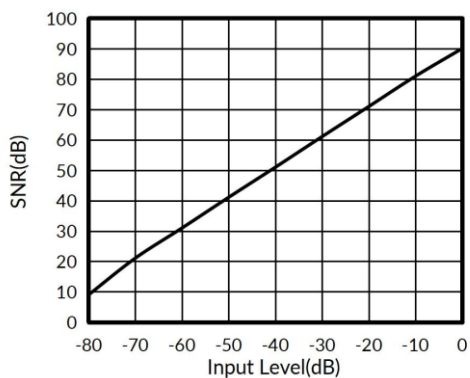


图 13 信噪比与输入电平的关系

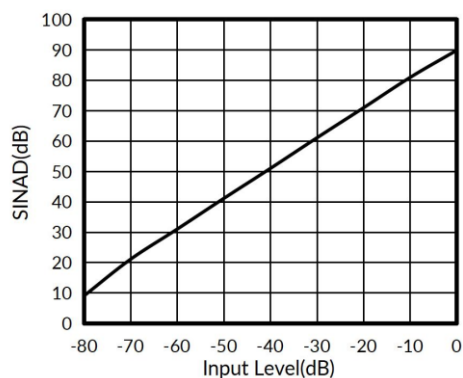


图 14 SINAD 与输入水平的关系

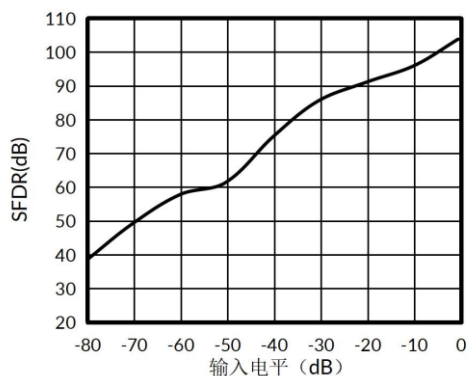


图 15 SFDR 与输入水平的关系

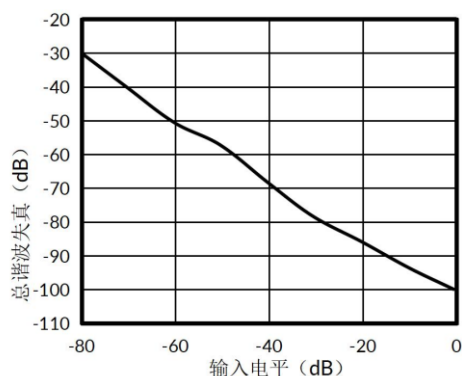


图 16 总谐波失真与输入水平的关系

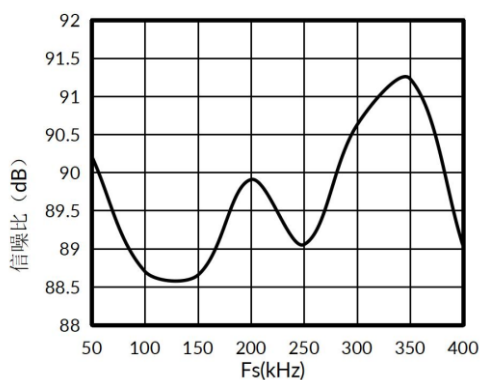


图 17 信噪比与 F_s 的关系

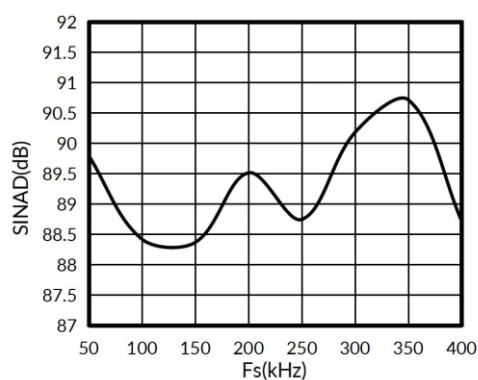


图 18 SINAD 与 F_s

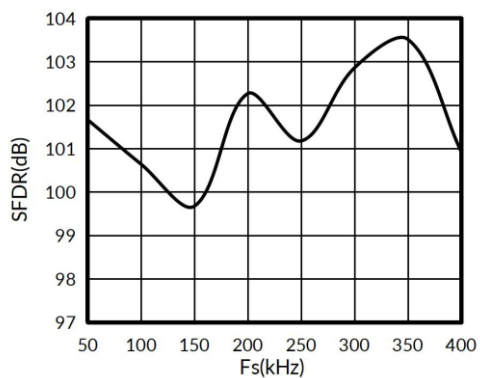


图 19 SFDR 与 F_s 的关系

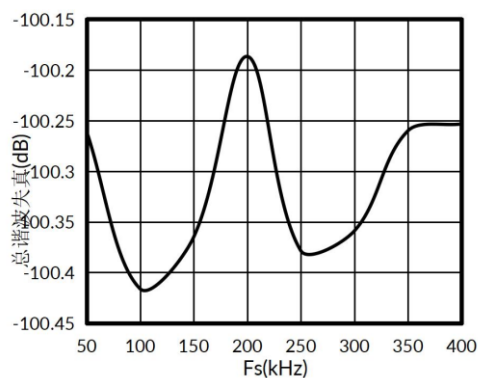


图 20 THD 与 F_s 的关系

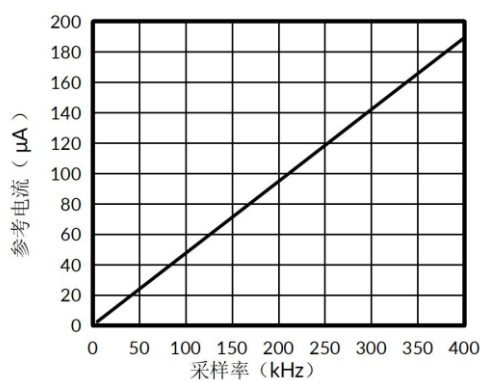


图 21 参考电流与采样率的关系

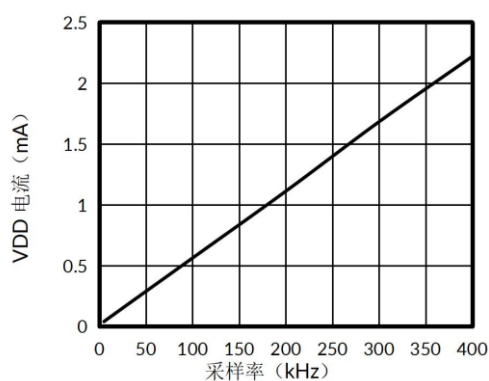


图 22 VDD 电流与采样率的关系

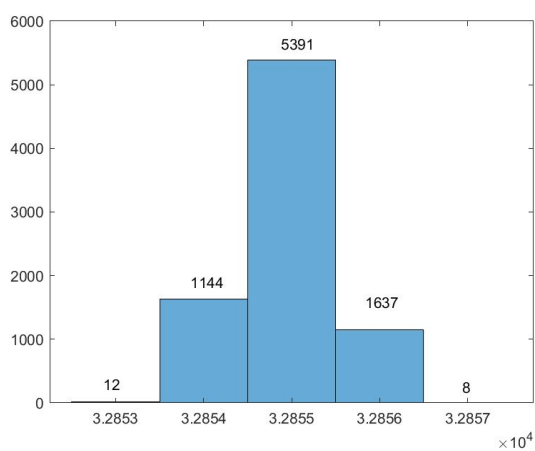


图 23 输出代码直方图一个直流输入
(8192 转换)

2.9 典型特征：V_{DD}=+2.7V

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

T_A=25°C, V_{DD}=+2.7V, V_{REF}=+2.5V, F_S=300KSPS, f_{DCLOCK}=7.2MHz, f_{IN}=2.07kHz, P_{IN}=-0.2dBFS（除非另有说明）。

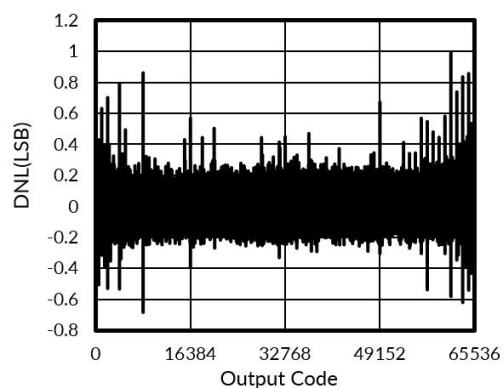


图 24 DNL 与输出代码

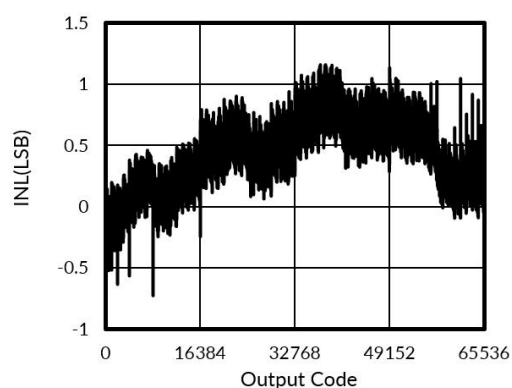


图 25 INL 与输出代码

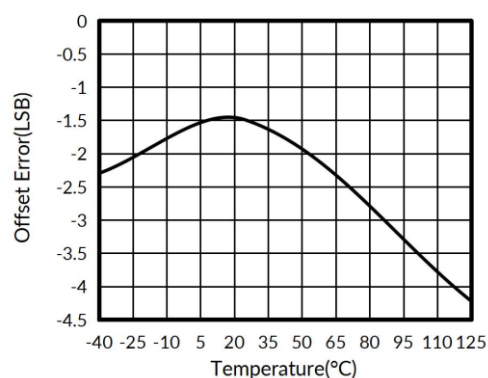


图 26 偏移误差与温度

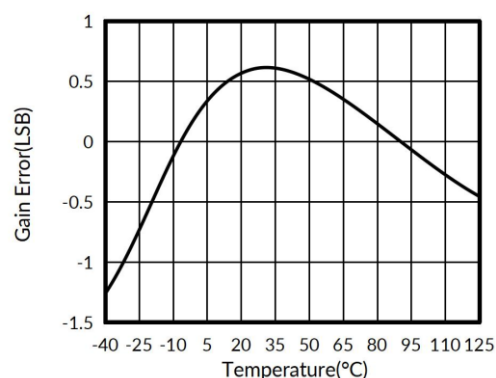


图 27 增益误差与温度的关系

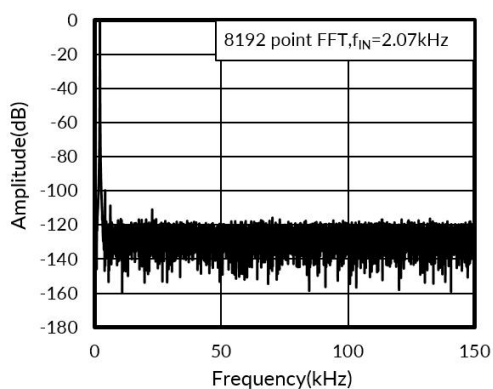


图 28 光谱响应

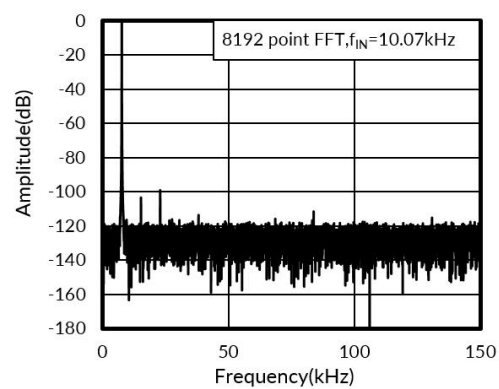


图 29 光谱响应

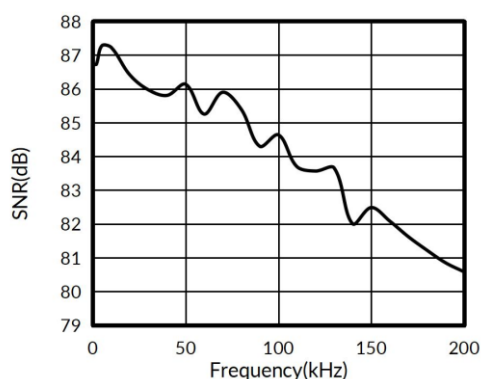


图 30 信噪比与输入频率的关系

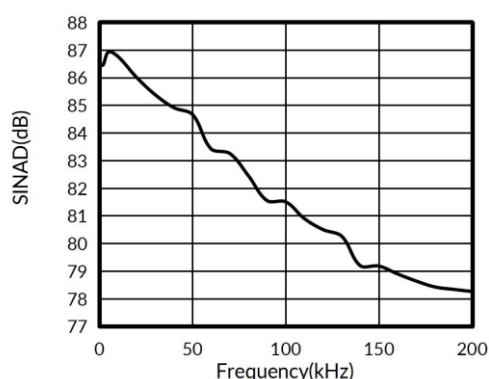


图 31 SINAD 与输入频率的关系

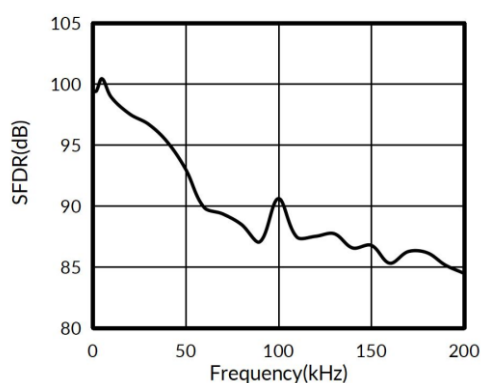


图 32 SFDR 与输入频率的关系

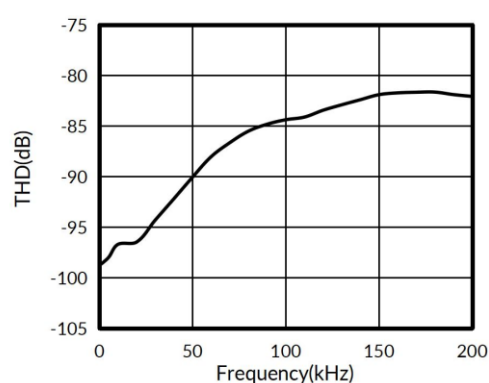


图 33 总谐波失真与输入频率的关系

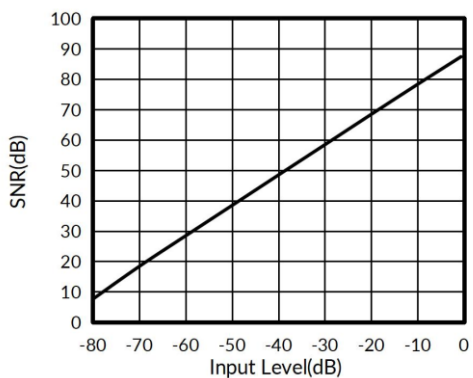


图 34 信噪比与输入电平的关系

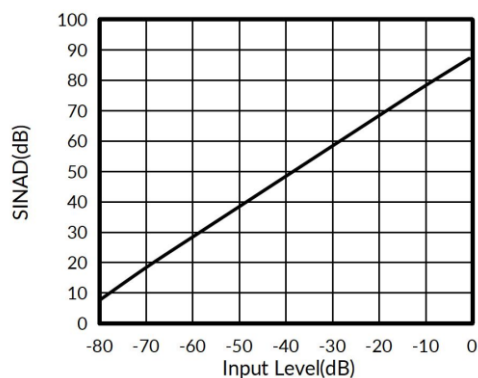


图 35 SINAD 与输入水平的关系

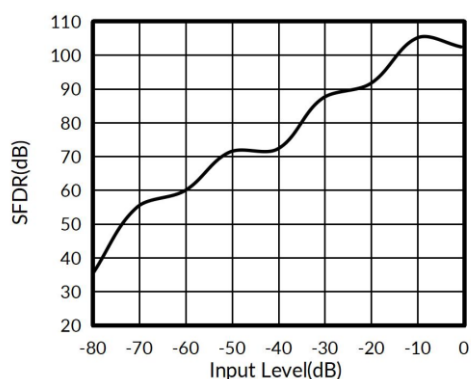


图 36 SFDR 与输入水平的关系

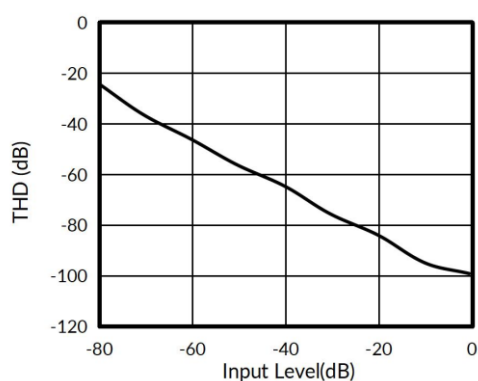


图 37 总谐波失真与输入电平的关系

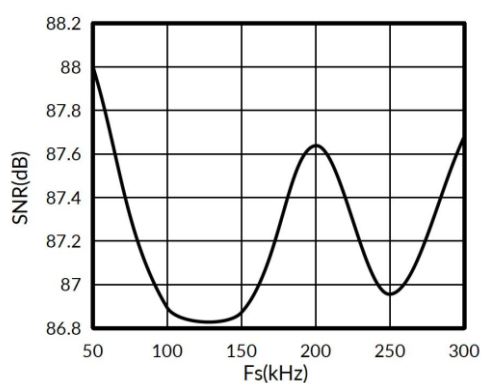


图 38 信噪比与 F_s 的关系

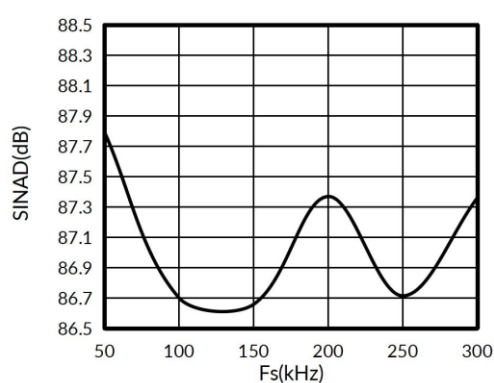


图 39 SINAD 与 F_s

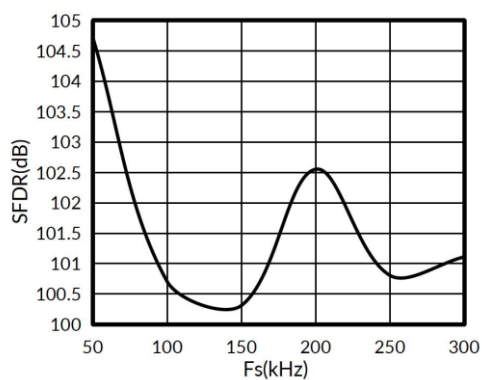


图 40 SFDR 与 F_s 的关系

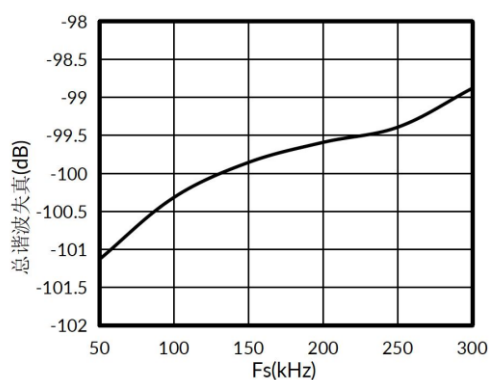


图 41 THD 与 F_s 的关系

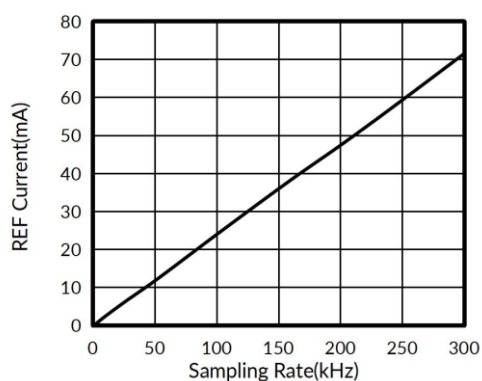


图 42 参考电流与采样率的关系

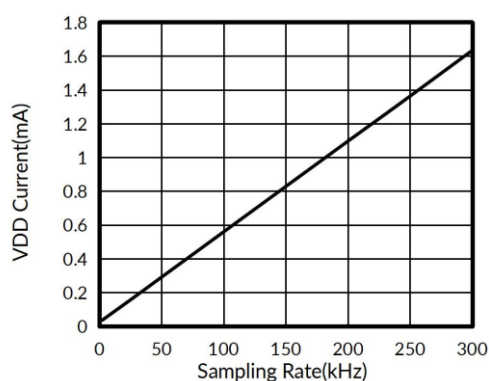


图 43 VDD 电流与采样率的关系

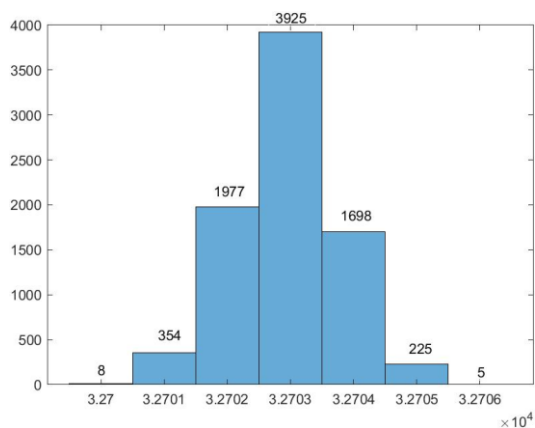
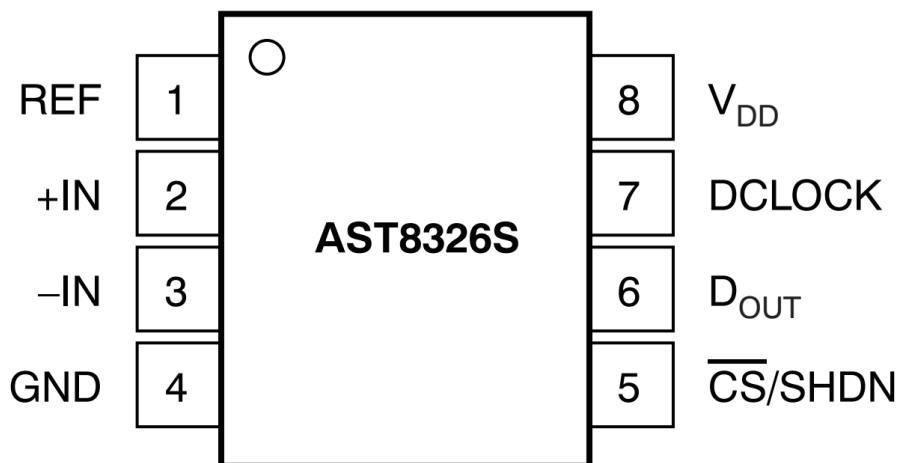


图 44 直流输入输出代码直方图
(8192 转换)

3 引脚

俯视图



MSOP8

引脚描述

代码	引脚	输入/输出	描述
REF	1	模拟输入	参考输入。必须完全旁路。
+IN	2	模拟输入	同相模拟输入。
-IN	3	模拟输入	反相模拟输入。
GND	4	电源连接	电源接地。
$\overline{\text{CS}}/\text{SHDN}$	5	数字输入	低电平时为片选；高电平时为关断模式。
D _{OUT}	6	数字输出	数字数据输出。输出字由 DCLOCK 引脚时钟同步输出。
DCLOCK	7	数字输入	数据时钟同步串行数据传输并决定转换速度。
VDD	8	电源连接	电源。这些引脚必须连接到 2.7V 至 5.5V 的稳定电源，并使用 0.1 μ F 和 1 μ F 的单片电容旁路至 GND，电容应放置在距离电源引脚 1cm 以内。

4 详细描述

4.1 概述

AST8326S 是一款经典的逐次逼近寄存器(SAR)模数转换器。其架构基于电容重分配,并固有地包含采样保持功能。凭借该架构和工艺,AST8326S 能够以高达每秒 400,000 次的转换速率采集和转换模拟信号,同时 V_{DD} 功耗低于 12mW。

AST8326S 的差分线性度在出厂时通过封装级微调程序进行调整。微调元件的状态存储在非易失性存储器中,并在每个采集周期结束后、逐次逼近运算开始之前持续更新。此过程确保在断电情况下,一个完整的转换周期始终能使器件恢复到出厂调整状态。

AST8326S 需要一个外部参考电压、一个外部时钟和一个电源(V_{DD})。外部参考电压可以是 0.1V 到 V_{DD} 。参考电压的值直接决定模拟输入的范围。参考输入电流取决于 AST8326S 的转换速率。

外部时钟频率可在 24kHz (1kHz 吞吐量)至 9.6MHz (400kHz 吞吐量)之间变化。只要最小高电平和低电平持续时间至少为 40ns ($V_{DD} \geq 2.7V$),时钟占空比基本无关紧要。最小时钟频率由 AST8326S 内部电容的漏电流决定。

模拟输入信号通过两个输入引脚+IN 和-IN 提供。当转换开始时,这些引脚上的伪差分输入信号会被采样到内部电容阵列上。转换进行期间,这两个输入引脚均与所有内部功能断开连接。

转换后的数字结果由 DCLOCK 输入端时钟输出,并以最高有效位优先的方式串行传输到 D_{OUT} 引脚。D_{OUT} 引脚上提供的数字数据是当前正在进行的转换的数据(无传输延迟)。转换完成后,可以继续为 AST8326S 提供时钟信号,并以最低有效位优先的方式获取串行数据。更多信息请参阅“时序信息”部分。

4.2 模拟输入

AST8326S 的模拟输入为伪差分输入。+IN 和-IN 输入引脚允许输入伪差分信号。输入信号的幅度为+IN 和-IN 输入之间的差值,即(+IN)-(-IN)。与某些同类型转换器不同,-IN 输入在转换周期的后续阶段不会进行重采样。当转换器进入保持模式或转换模式时,+IN 和-IN 之间的电压差会被内部电容阵列捕获。

-IN 输入的范围限制在-0.3V 至+0.5V。由于此限制,伪差分输入可用于抑制指定范围内两个输入端共有的信号。因此,-IN 输入最适合用于检测可能相对于本地地电位略有变化的远程信号地。

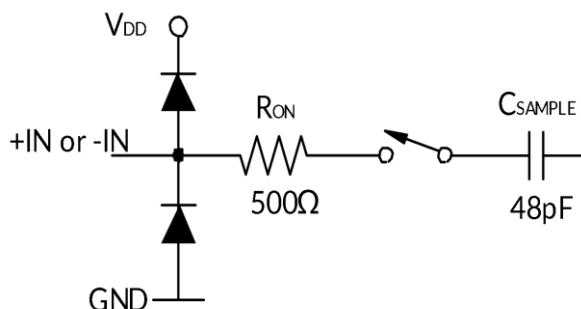


图 45 AST8326S 的等效模拟输入电路

如图 45 和图 46 所示。-IN 输入端保持在共模电压。+IN 输入端从 -IN（或共模电压）摆至 -IN+V_{REF}（或共模电压+V_{REF}），峰峰值幅度为 V_{REF} 的值决定了共模电压的变化范围，如图 47 所示。

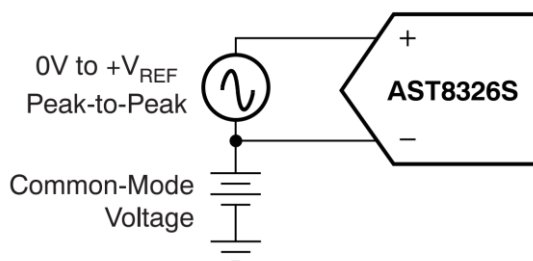


图 46 AST8326S 的驱动方法

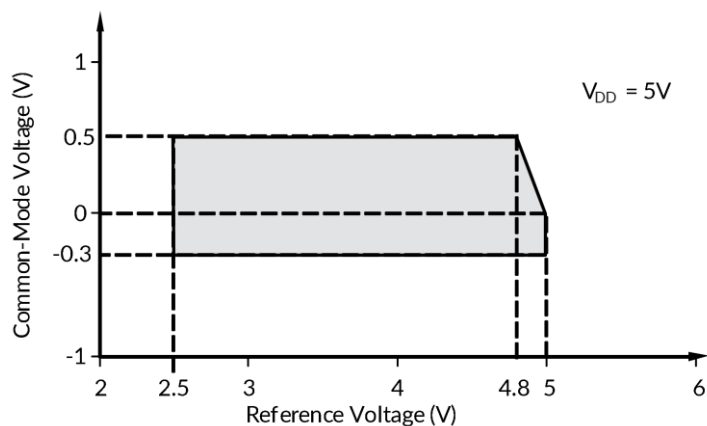


图 47 -IN 模拟输入：公模电压范围与 VREF 的关系

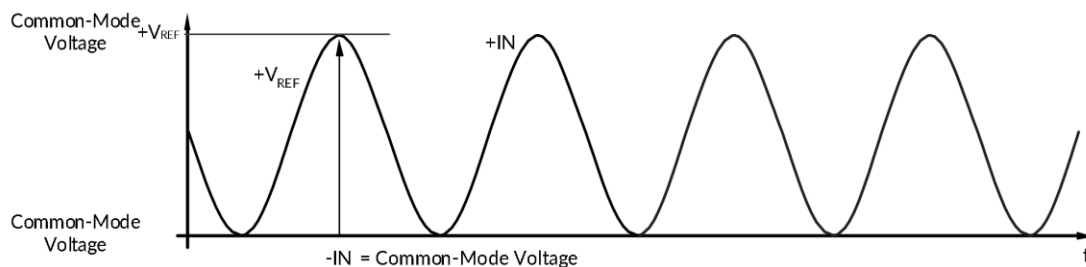


图 48 AST8326S 伪差分输入模式

AST8326S 的+IN 和-IN 之间的最大差分电压为 V_{REF}。参见图 35。为对伪差分输入共模电压范围的进一步解释请参见图 35。

模拟输入所需的输入电流取决于多种因素：采样率、输入电压、源阻抗和掉

电模式。本质上，AST8326S 的电流在采样周期内为内部电容阵列充电。电容充满电后，不再有输入电流。模拟输入电压源必须能够在 4.5 个时钟周期（0.4 至 7 μ s）内将输入电容（48pF）充电至 16 位稳定电平。当转换器进入保持模式或掉电模式时，输入阻抗大于 10M Ω 。

必须注意模拟输入电压的绝对值。为保持转换器的线性度，-IN 输入电压不应低于 GND-0.3V 或高于 GND+0.5V。+IN 输入电压应始终保持在 GND-0.3V 至 VDD+0.3V 或 -IN 至 -IN+VREF 的范围内，以先达到的限值为准。超出这些范围，转换器的线性度可能无法满足规格要求。为最大限度地降低噪声，应使用低带宽输入信号并配合低通滤波器。在任何情况下，都应注意确保驱动+IN 和-IN 输入的信号源的输出阻抗匹配。通常，在正负输入端之间连接一个小电容有助于匹配它们的阻抗。为了获得 AST8326S 的最佳性能，建议使用图 49 所示的输入电路。

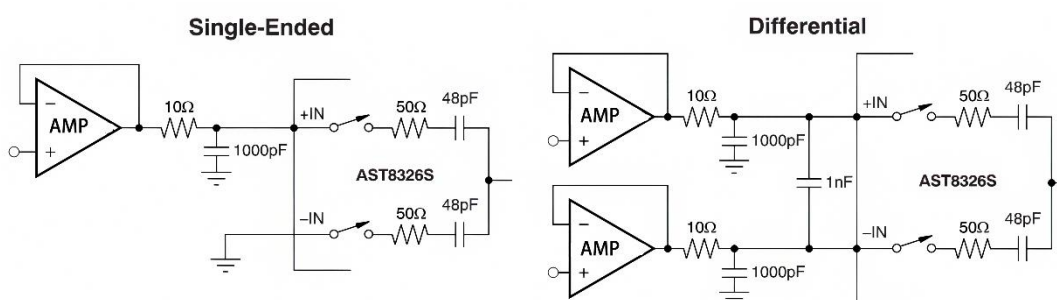


图 49 AST8326S 接口的单端和伪差分方法

4.3 参考输入

外部参考电压决定了模拟输入范围。AST8326S 的参考电压范围为 0.1V 至 V_{DD}。这其中有几个重要的意义。

随着参考电压的降低，每个数字输出码的模拟电压权重也会降低。这通常被称为最低有效位(LSB)的大小，等于参考电压除以 65,536。这意味着，随着参考电压的降低，模数转换器中固有的任何偏移或增益误差（以 LSB 大小衡量）都会显得增大。当参考电压为 2.5V 时，LSB 的值为 38.15 μ V；当参考电压为 5V 时，LSB 的值为 76.3 μ V。

转换器固有的噪声也会随着 LSB 位数的减小而增大。当参考电压为 5V 时，转换器的内部噪声通常只会对输出码产生 5LSB 峰峰值的潜在误差。当外部参考电压为 2.5V 时，内部噪声产生的潜在误差将增大一倍（7LSB）。内部噪声引起的误差本质上是高斯误差，可以通过对连续转换结果进行平均来降低。

由于参考电压较低，因此需要格外注意电路布局，包括足够的旁路电路、纯净的电源、低噪声参考电压源和低噪声输入信号。此外，由于最低有效位(LSB)尺寸较小，转换器对外部误差源（例如附近的数字信号和电磁干扰）也更加敏感。

图 50 展示了参考电压的等效输入电路。在转换过程中，会接通一个 48pF 的等效电容。为了使 AST8326S 发挥最佳性能，必须特别注意参考输入引脚的接口电路设计。为确保参考电压稳定，应将一个低 ESR 的 47 μ F 钽电容尽可能靠近输入引脚连接。如果使用高输出阻抗的参考源，则必须在电容前串联一个带有限流

电阻的运算放大器。

当 AST8326S 处于掉电模式时，参考引脚的输入电阻为 $10\text{M}\Omega$ 。由于输入电容必须在下一次转换开始前充电，因此必须使用具有良好动态特性的运算放大器来缓冲参考输入。

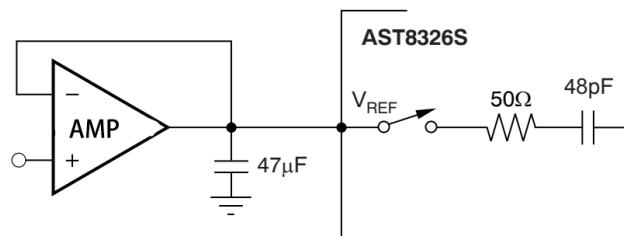


图 50 输入参考电路和接口

4.4 噪声

如图 23(+5V)和图 44(+2.7V)所示，AST8326S 本身的转换噪声极低，远低于同类 A/D 转换器。这些直方图是通过施加低噪声直流输入并进行 8192 次转换生成的。由于 AST8326S 的内部噪声，A/D 转换器的数字输出码会发生变化。使用直方图绘制输出码时，其分布应呈钟形，钟形曲线的峰值代表输入值的标称码。 $\pm 1\sigma$ 、 $\pm 2\sigma$ 和 $\pm 3\sigma$ 分布分别代表所有码的 68.3%、95.5% 和 99.7%。转换噪声可以通过将测量的码数除以 6 来计算，从而得到 $\pm 3\sigma$ 分布，即所有码的 99.7%。统计上，在执行 1000 次转换时，最多可能有 3 个代码超出分布范围。AST8326S，对于 $\pm 3\sigma$ 分布，当输出码数小于 5 时，转换噪声小于 $\pm 0.6\text{LSB}$ 。请注意，要实现这种低噪声性能，输入信号和参考信号的峰峰值噪声必须小于 $50\mu\text{V}$ 。

4.5 信号强度

AST8326S 具有宽广的供电电压范围。其模数转换器和数字接口电路均可接受并工作在 2.7V 至 5.5V 的电压范围内。该电压范围可兼容不同的逻辑电平。当 AST8326S 的供电电压在 4.5V 至 5.5V 范围内（5V 逻辑电平）时，可将其直接连接到另一个 5V 的 CMOS 集成电路。当 AST8326S 的供电电压在 2.7V 至 3.6V 范围内（3V 逻辑电平）时，可将其直接连接到另一个 3.3V 的低电压 CMOS 集成电路。

5 数字接口

5.1 串行接口

AST8326S 通过同步三线串行接口与微处理器和其他数字系统通信，如“时

序信息”部分所示。DCLOCK 信号用于同步数据传输，每个比特在 DCLOCK 的下降沿发送。大多数接收系统会在 DCLOCK 的上升沿捕获比特流。但是，如果 DOUT 的最小保持时间可以接受，系统也可以使用 DCLOCK 的下降沿来捕获每个比特。

下降沿 $\overline{CS}$ 信号启动转换和数据传输。转换周期的前 4.5 到 5.0 个时钟周期用于对输入信号进行采样。在第五个 DCLOCK 下降沿之后，DOUT 被使能，并输出一个时钟周期的低电平。接下来的 16 个 DCLOCK 周期，DOUT 将以最高有效位优先的方式输出当前的转换结果。最低有效位(B0)输出完毕后，后续时钟周期将重复输出数据，但格式为最低有效位优先。

只有当 $\overline{CS}$ 被拉高并返回低位时，才会发起新的转换。

5.2 数据格式

AST8326S 输出的数据采用纯二进制格式，如图 51 所示。该图表示给定输入电压下的理想输出代码，不包含偏移、增益误差或噪声的影响。

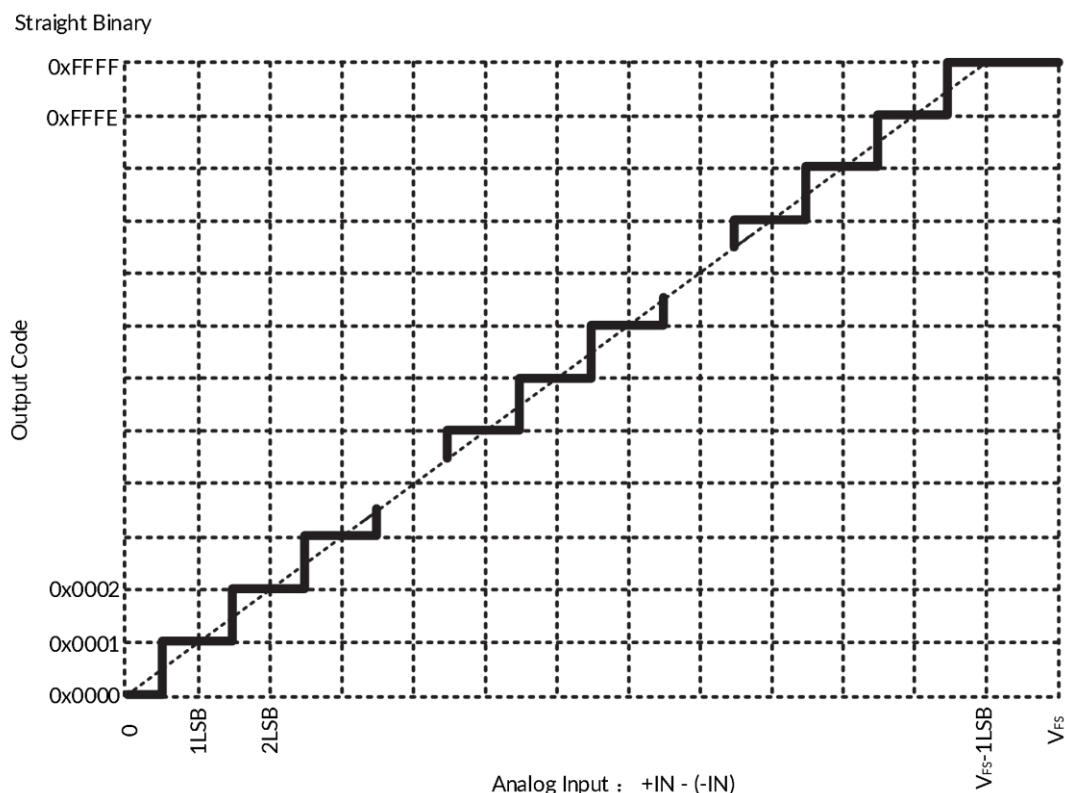


图 51 AST8326S 理想传输特性

6 功率耗散

AST8326S 的功耗与转换速率成正比。因此，实现最低功耗的第一步是找到满足系统要求的最低转换速率。

此外，AST8326S 在两种情况下会进入掉电模式：转换完成时以及 $\overline{CS}$ 为高电平时（参见“时序信息”部分）。理想情况下，每次转换都应尽可能快地完成，最好以 9.6MHz 的时钟频率进行。这样，转换器就能在掉电模式下保持尽可能长的时间。这一点非常重要，因为转换器不仅在每次 DCLOCK 转换时消耗功率（这是数字 CMOS 器件的典型特征），而且还会消耗一些电流用于模拟电路，例如比较器。模拟电路会持续消耗功率，直到进入掉电模式。

图 21 以及图 22 (+5V)，以及图 42 以及图 43 (+2.7V) 图展示了 AST8326S 的电流消耗与采样率的关系。在这些图中，无论采样率如何，转换器均以最大时钟频率运行。在剩余的采样周期内， $\overline{CS}$ 保持高电平。

转换完成后进入的掉电模式与 $\overline{CS}$ 为高电平时启用的完全掉电模式之间存在重要区别。 $\overline{CS}$ 为低电平只会关闭模拟部分，数字部分只有在 $\overline{CS}$ 为高电平时才会完全关闭。因此，如果在转换结束后 $\overline{CS}$ 保持低电平，并且转换器持续获得时钟信号，则功耗不会像 $\overline{CS}$ 为高电平时那样低。

7 应用与实施

图 52 和图 53 展示了两个基本数据采集系统的示例。5 Ω 电阻和 0.1 μ F 至 10 μ F 电容用于滤除电源上的微控制器噪声以及电源本身的高频噪声。应选择合适的电阻值和电容值，以确保滤波器能够充分抑制噪声。

CS 和 DCLOCK 上可以串联的 100 Ω 电阻分别用于滤除数字过冲。具体的电阻值应根据转换速度、CS 和 DCLOCK 的上升/下降时间等因素来选择。

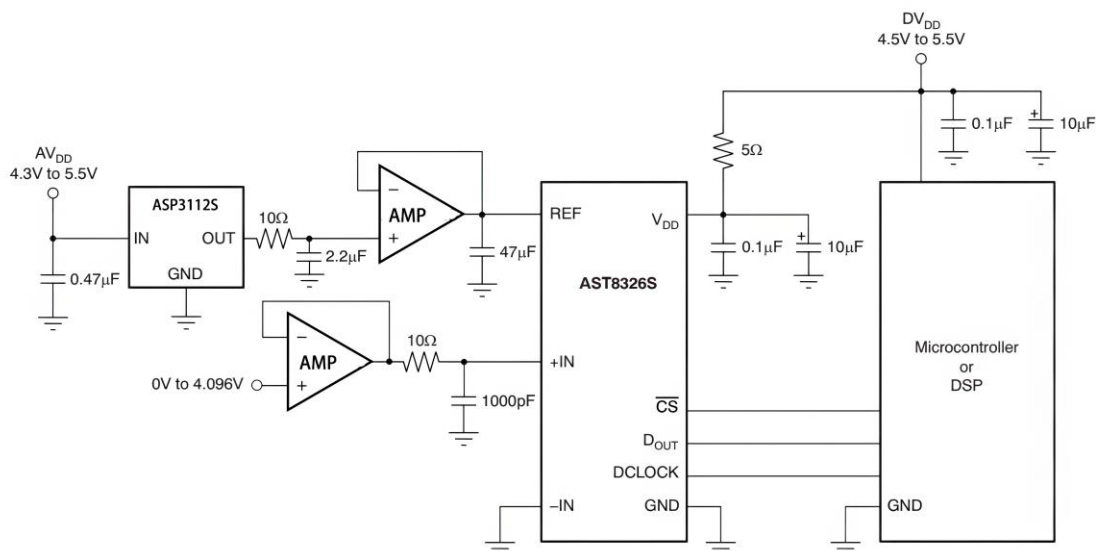


图 52 基本数据采集系统：示例 1

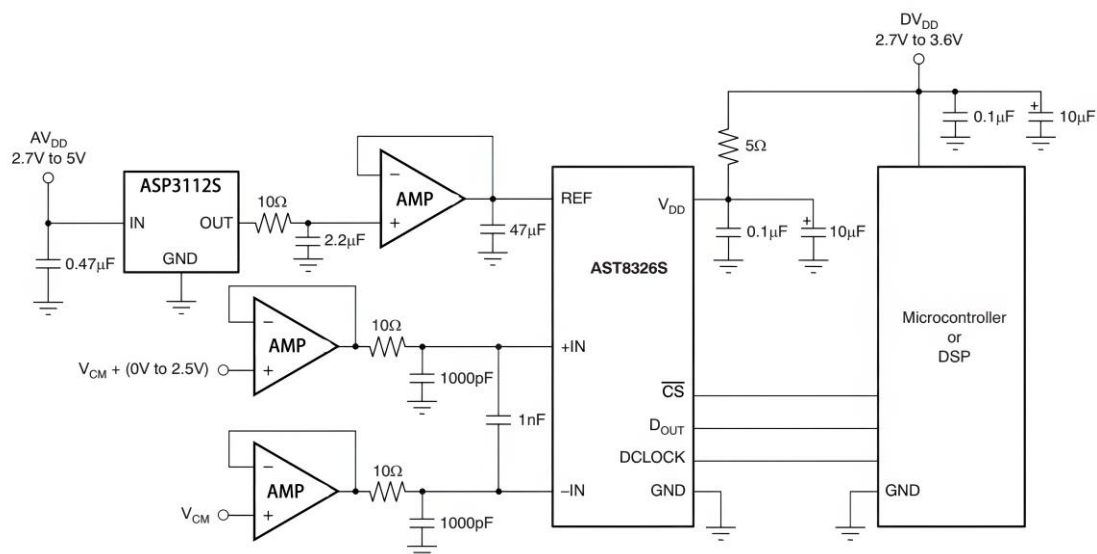
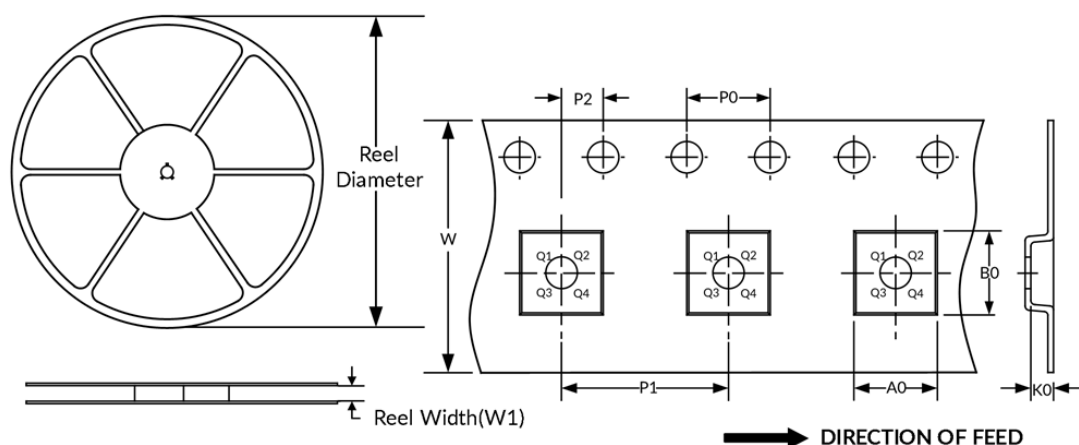


图 53 基本数据采集系统：示例 2

8 卷带信息



备注 1：图片仅供参考，请以实物为准。

卷带封装关键参数表如下：

封装类型	卷轴直径	卷轴直径 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 象限
MSOP8	13"	12.4	5.20	3.30	1.50	4.0	8.0	2.0	12.0	Q1

备注 1：所有尺寸均为标称尺寸。

备注 2：边最大凸起部分 (0.15mm) 不包括在内。

9 修订历史

版本号	修订内容	修订时间
V1.0	初始版本。	2026.08